

Title of the Prior Art

Japanese Published Patent Application No. Hei.1-193959

Date of Publication: August 3, 1989

Concise Statement of Relevancy

There is provided a common bus arbitration circuit in which, even in a case where bus requests are simultaneously made from plural bus masters, no unstable time for arbitration is generated, and which would not successively give authorizations only to the bus requests of the same system. The common bus arbitration circuit is constructed by comprising respective latch means for respective systems which latch bus requests, respectively, in synchronization with a system clock to output bus authorization signals and has differences in their operation timings from the other systems, an obstructing means which exhibits a first obstructing function obstructing generation of a bus request from its own system until all bus requests from all systems disappear after a bus authorization is given to its own system, or until bus use authorizations are given to the other systems, and a second obstructing function for, when either of the latch means of the systems performs a latch operation, obstructing operations of the other latch means during the period of continuing the latch operation.

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報 (A) 平1-193959

⑬ Int.Cl.⁴
G 06 F 13/26

識別記号
3 2 0

庁内整理番号
D-8840-5B

⑭ 公開 平成1年(1989)8月3日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 共通バス調停回路

⑯ 特 願 昭63-18261

⑰ 出 願 昭63(1988)1月28日

⑱ 発 明 者 高 坂 徹 東京都日野市旭が丘3丁目3番地の1 株式会社東芝日野工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

共通バス調停回路

2. 特許請求の範囲

共通バスに接続された複数の系統からのバス要求を調停する調停回路において、システムクロックに同期してバス要求をラッチしバス許可信号を出力するとともにそれぞれの系統毎に動作タイミングのずれを有する前記系統別のラッチ手段と、バス許可を与えた後全系統のバス要求がなくなるまで、及び他方の系統のバス使用許可が与えられるまでは自系統のバス要求を阻止する第1の阻止機能及び前記系統別のラッチ手段のいずれかがラッチ動作するとその継続期間、他のラッチ手段の動作を阻止する第2の阻止機能とを有する阻止手段とを設けて構成したことを特徴とする共通バス調停回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

- 1 -

本発明は、複数のバスマスタからの共通バスに対するアクセス(バスの使用要求)を調停する共通バス調停回路に関する。

(従来の技術)

例えば、マルチプロセッサなどのように、メモリを共用し、それぞれのプロセッサからこのメモリをアクセスしたり、或いは計算機ネットワークを組む等、システムバスを共用した複数の計算機(プロセッサ)間で、上記システムバスを介してデータ伝送を行うシステムにあっては、上記システムバス上でデータの衝突を生じることがある。そこで従来より上記各プロセッサにそれぞれバスマスタを設け、これらバスマスタからバスの使用要求信号をそれぞれ発生させ、これに対してバスの使用許可信号を上記バスマスタに選択的に与えることが行われている。しかし、その際に複数のバス要求信号が同時に発生することがあることから、これを所定の優先度をもって調停して、ある1つのバスマスタに対してのみバスの使用許可信号を与えるようにすべく調停回路(アービタ)が

- 2 -

用いられる。

第2図は、このようなバスの調停回路を設けた2チャンネルのシステムの構成を示す図であり、図中11はシステムバスである。このシステムバス11を介して相互にデータ伝送する2台の計算機（プロセッサ）の各バスマスタ12a, 12bは、上記システムバス11に共通に接続されている。これらのバスマスタ12a, 12bは、上記システムバス11を介してデータを伝送しようとするとき（システムバス11のアクセス時）、調停回路13に対してバス要求信号（REQ_n；但し nは1または2）を出力し、この調停回路13からバス使用許可信号（GRNT_n；但し nは1または2）を受けると当該バスマスタは、共通バスの制御信号であるビジー信号（BUSY）（バス使用中であることを示す信号）とアクセス承認信号（XACK）（バスアクセス終了時にデータ伝送先バスマスタから出力されるバスアクセス終了承認の信号）が共に“H”であっていずれのバスマスタもバスを使用していないことを確認した上で、直ちにビジー信号（BUSY）を

- 3 -

そして、他方の入力をバス要求信号REQ_Bとし、更にこのフリップフロップの出力を反転回路23, 24を介して抽出し、許可信号GRNT_A, GRNT_Bとするものである。そして、このバス許可信号GRNT_A, GRNT_Bはバス要求が継続する期間（使用権を得た系統のバス・アクセスが終了するまで）与えられる構成である。

このような構成において、フリップフロップの一方の入力に負論理のバス要求信号が入ると、その入力した方のアンド回路が動作して出力は論理“H”となり、これによって、他方のアンド回路は出力が論理“L”となる。アンド回路21, 22の出力は反転回路23, 24を介して反転し、負論理の許可信号GRNT_A, GRNT_Bとするので、バス要求信号が入力した側の系統のバスマスタに許可信号を与えることになる。しかし、RSフリップフロップを利用することから、A, B両系統から同時にバス要求信号が入ると、RSフリップフロップは動作が不安定となり、一定時間、調停結果が正しくない状態となる不具合が発生する。

- 5 -

。これにより、調停回路13は他のバスマスタに対するバス使用許可を与えることはできなくなり、バス使用許可信号（GRNT_n）を受けたバスマスタが上記システムバス11の使用権を確保することになる。そして、バスの使用権を確保したバスマスタは、当該データ伝送先バスマスタとの間で上記システムバス11を介して所定のデータ伝送を行う。このデータ伝送が完了した時点で、伝送相手側のバスマスタからそのデータ伝送が完了したことを示す承認信号（XACK）が出力される。この承認信号により、前記調停回路13はバス使用が終了したことを知り、新規にバスマスタからのバス要求信号の受付を開始して上述のような作業を行う。

ところで、従来の2チャンネル用バス調停回路は第3図に示す如く、負論理アンド回路21, 22と反転回路23, 24とを用い、アンド回路21, 22をたすき掛け接続してRSフリップフロップを構成するとともに、このフリップフロップの一方の入力をバス要求信号（バスリクエスト信号）REQ_A,

- 4 -

そこで、かかる不具合を解消すべく第4図のように、負論理アンド回路31, 32と反転回路33及びD型フリップフロップ34, 35とを用い、アンド回路31, 32の出力側にD型フリップフロップ34, 35のD入力端子を接続し、これらアンド回路31, 32とD型フリップフロップ34, 35よりなる回路をたすき掛け接続してフリップフロップを構成するとともに、このフリップフロップの一方の入力をバス要求信号REQ_A、そして、他方の入力をバス要求信号REQ_Bとし、更にこのフリップフロップの各々肯定側出力端子出力を以て許可信号GRNT_A, GRNT_Bとするものである。また、D型フリップフロップ34, 35にはそのクロック入力端子にシステムのクロック信号CLKを与える。尚、図の場合、動作タイミングをずらす目的でB系統のD型フリップフロップ35にはそのクロック入力端子に反転回路33を介在させる。

このような構成において、フリップフロップの一方の入力に負論理のバス要求信号が入ると、その入力した方のアンド回路が動作して出力は論

- 6 -

型“H”と~~なり~~、これによってその系統のD型フリップフロップのD入力端子が“H”となるのでクロック信号CLKが入力すると、そのタイミングを以て動作し、当該D型フリップフロップの否定側出力端子Qが“H”となるので、この出力を一方の入力とする他方のアンド回路は出力が論理“1”となり、当該他方の他方の系統は不動作となる。D型フリップフロップの否定側出力端子Q出力は許可信号として用いるので、動作した系統におけるD型フリップフロップの否定側出力端子Q出力が負論理の許可信号GRNTA, GRNTBとして有効となる。そのため、バス要求信号が入力した側の系統のバスマスタに許可信号を与えることができる。また、A, B両系統から同時にバス要求信号が入ると、Dフリップフロップ34, 35のうち、B系統はクロック信号CLKが反転されて入力されるため、同時に動作すると言うことはなく、クロック信号CLKに対するそのパルス幅分、動作タイミングがずれるので、動作の早かった方の系統が許可信号を受けることになる。すなわち、クロッ

- 7 -

単にRSフリップフロップを用いたり、Dフリップフロップを用い系統別にタイミングをずらしてラッチ動作させるようにしている。そのため、2系統同時にバス要求信号が入力すると、前者の場合ではバス許可信号に不安定な時間が生じ、また、これを改善する後者の方式では片方からのバス要求に対して続けて許可を与えてしまう可能性があると言う問題が残る。

そこでこの発明の目的とするところは、同時にバス要求があった場合でも同時に不安定な時間が発生することがなく、また、連続して同じ系統のバス要求にのみ許可を与えてしまうことのないようにした共通バス制御回路を提供することにある。

〔発明の構成〕

（問題点を解決するための手段）

上記目的を達成するため、本発明は次のように構成する。すなわち、共通バスに接続された複数の系統からのバス要求を制御する制御回路において、システムクロックに同期してバス要求をラ

- 9 -

ック~~に~~基準に見れば、A系統はクロック信号の立上がりでD入力端子入力をラッチし、B系統はクロック信号の立下がりでD入力端子入力をラッチするので、同時に動作して不安定になると言うことがない。

しかし、その反面、D型フリップフロップはクロック信号CLKにより動作するので、許可を与えた方の系統のバス要求がなくなってもその系統に対するバスの許可信号は直ちにはならず、次のクロック信号の入力があるまでは、現状を維持することになる。また、クロック信号に対する片方の系統のバス要求信号が次々に出されて、そのタイミングがたまたまクロック信号に旨く合ったような場合が生じると、その系統のみに許可を与え続けることになり、他方の系統ではバスが使用できなくなる心配がある。

（発明が解決しようとする問題点）

このように、従来2チャンネルバス制御回路はバス要求信号をラッチし、このラッチしたバス要求信号を以てバス許可信号を与える方式であり、

- 8 -

ラッチしバス許可信号を出力するとともにそれぞれの系統毎に動作タイミングのずれを有する前記系統別のラッチ手段と、バス許可を与えた後全系統のバス要求がなくなるまで、及び他方の系統のバス使用許可が与えられるまでは自系統のバス要求を阻止する第1の阻止機能及び前記系統別のラッチ手段のいずれかがラッチ動作するとその遅延期間、他のラッチ手段の動作を阻止する第2の阻止機能とを有する阻止手段とを設けて構成する。

（作用）

このような構成において、系統別ラッチ手段はシステムクロックに同期し且つ互いに動作タイミングをずらして動作し、自系統のバス要求をラッチし、自系統にバス許可信号を与える。そして、前記系統別のラッチ手段のいずれかがラッチ動作すると阻止手段はラッチ手段のラッチ遅延期間中、他のラッチ手段の動作を阻止する。各系統のバス要求入力それぞれに対するラッチはこのようにそれぞれタイミングがずれる構成としてあり、しかも、一つがラッチ動作すると他の動作を阻止する

- 10 -

阻止手段あるの系統が同時にバス要求を出しても前記すれのために、必ず一つのみがラッチされ、その系統の許可信号が直ちに出力され、また、阻止手段の機能により、一旦、バス許可を与えた後全系統のバス要求がなくなるまで、または、他方の系統のバス使用許可が与えられるまでは自系統のバス要求を阻止するように機能する。

そのため、複数のバスマスタから同時にバス要求があった場合でも割停に不安定な時間が発生することがなく、また、連続して同じ系統のバス要求にのみ許可を与えてしまうことがなくなる。

(実施例)

以下、図面を参照して本発明の一実施例を説明する。

第1図に本発明の一実施例に係る共通バス調停回路を示す。第1図において、 $R/\overline{W}A$ はA系統のリード/ライト信号、 $R/\overline{W}B$ はB系統のリード/ライト信号、 \overline{REQA} はA系統のバス要求信号、 \overline{REQB} はB系統のバス要求信号である。また、1a、1bはA系統、B系統のバス要求信号入力線であり、

— 1 1 —

ブ4aはアンド回路2aの“L”出力によりクリアされ、システムクロックCLKに同期してアンド回路2a出力をラッチする。そして、その否定側出力端子出力はA系統のバス許可信号 $\overline{GRNT}A$ としても利用される。

また、D型フリップフロップ4bはナンド回路2bの“L”出力によりクリアされ、反転回路15によるシステムクロックCLKの反転出力に同期してナンド回路2bの出力をラッチする。そして、その否定側出力端子出力はB系統のバス許可信号 $\overline{GRNT}B$ としても利用される。

また、D型フリップフロップ5aはナンド回路2aの“L”出力によりD型フリップフロップ4aの否定側出力端子出力をプリセットし、また、システムクロックCLKに同期してD型フリップフロップ4aの否定側出力端子出力をラッチする。このフリップフロップ5aの肯定側出力端子出力はA系統の応答信号 $\overline{ACK}A$ として用いられる。また、D型フリップフロップ5bはナンド回路2bの“L”出力によりD型フリップフロップ4bの否定側出力端子

— 1 3 —

2a、2b、10bはそれぞれ3入力負論理ナンド回路である。また、3はシステムクロックCLKの信号線、4a、4b、5a、5b、6a、6bはそれぞれD型フリップフロップ、7は2入力正論理ナンド回路、8、12は2入力正論理ノア回路、9a、9bは反転回路、11a、11bは2入力負論理オア回路、15は反転回路である。これらのうち、2入力正論理ナンド回路7はバス要求信号 \overline{REQA} と \overline{REQB} のナンド論理をとり、また、2入力正論理ノア回路8はこのナンド回路7出力とD型フリップフロップ4aの反転側出力端子出力のノア論理をとってチップイネーブル信号 \overline{CE} とする。

3入力負論理ナンド回路2aはD型フリップフロップ4bの肯定側出力端子出力とD型フリップフロップ5aの肯定側出力端子出力及びA系統のバス要求信号 \overline{REQA} とのナンド論理をとり、3入力負論理ナンド回路2bはD型フリップフロップ4aの肯定側出力端子出力とD型フリップフロップ5bの肯定側出力端子出力及びB系統のバス要求信号 \overline{REQB} とのナンド論理をとる。また、D型フリップフロ

— 1 2 —

出力をプリセットし、また、システムクロックCLKの反転出力に同期してD型フリップフロップ4bの否定側出力端子出力をラッチする。このフリップフロップ5bの肯定側出力端子出力はB系統の応答信号 $\overline{ACK}B$ として用いられる。

D型フリップフロップ5bは入力端子Dに常に“H”が与えられ反転回路9bにより反転したアンド回路2bの出力をクロックとして動作するとともに、オア回路11aの出力によりクリアされる。また、D型フリップフロップ5aも同様に入力端子Dに常に“H”が与えられ、反転回路9aにより反転したアンド回路2aの出力をクロックとして動作するとともに、オア回路11bの出力によりクリアされる。

ナンド回路10aはA系統のリード/ライト信号 $R/\overline{W}A$ とD型フリップフロップ5aの否定側出力端子出力及びノア回路8の出力のナンド論理をとり、ナンド回路10bはB系統のリード/ライト信号 $R/\overline{W}B$ とD型フリップフロップ5bの否定側出力端子出力及びノア回路8の出力のナンド論理

— 1 4 —

をとり、ノア回路12はこれらナンド回路10a, 10bのナンド処理をとってメモリのリード/ライト信号 R/\overline{W} とする。また、オア回路11aはD型フリップフロップ4aの否定側出力端子出力とナンド回路7出力とのオア処理をとり、また、オア回路11bはD型フリップフロップ4bの否定側出力端子出力とナンド回路7出力とのオア処理をとる相成としてある。

このような構成において、A系統からのバス要求信号 \overline{REQA} があると(論理"1"になると)、負論理ナンド回路2aの入力が全て"1"のとき、その出力は"1"となり、システムクロックCLKの立ち上がりエッジにより、D型フリップフロップ4aの肯定側出力端子出力は"1"となり、否定側出力端子出力は"1"となる。D型フリップフロップ4aの否定側出力端子出力はA系統のバス許可信号 \overline{GRNTA} として用いられているので、A系統にはバス許可が与えられる。

このとき、D型フリップフロップ4aの肯定側出力端子出力"1"はB系統の負論理ナンド回路

- 15 -

なって、A系統に対し、データの確定を知らせる。また、データ書き込みの際はA系統のリード/ライト信号 R/\overline{WA} は"1"となり、メモリにデータを書き込む。従って、システムクロックCLKは1クロックでメモリ等に書き込み或いは読み出しが出来るクロック幅に設定しておく必要がある。

次にA系統からのバス要求終了すると、バス要求信号 \overline{REQA} は"1"となり、負論理ナンド回路2aの出力は"1"となる。そのため、D型フリップフロップ4a, 5aはそれぞれクリア、プリセットされる。すなわち、A系統のバス許可信号とデータ確定を取消す。この時、A系統のバス許可があったことを記憶するA系統のバス許可記憶手段であるD型フリップフロップ5aにクロックCLKの立ち上がりエッジが入ることによって、D型フリップフロップ5aは"1"をラッチし、記憶してバス要求阻止に使用するが、もし、これは次のように状態に応じて変わる。

すなわち、B系統のバス要求があればD型フリップフロップ5aのクリア端子入力"1"とな

- 17 -

2bられるため、このナンド回路2bはB系統のバス要求信号 \overline{REQB} を受付けず、阻止される。また、D型フリップフロップ4a, 4bの肯定側出力のノア処理をとるノア回路8よりメモリへのチップイネーブル信号CEが与えられ、A系統においてメモリのアクセスを可能にする。"1"なるD型フリップフロップ4aの否定側出力端子出力はオア回路11aを通過してD型フリップフロップ5bのクリア端子に与えられ、これをクリアする。D型フリップフロップ5bはB系統のバス許可があったことを記憶してB系統のバス要求を阻止するためのナンド回路2bにあたえるゲート信号を"1"にする記憶手段であり、このクリアによって、B系統のバス許可の記憶は抹消される。つまり、ナンド回路2bにあたえるゲート信号を"1"にする。

システムクロックCLKの立ち上がりエッジにより、D型フリップフロップ5aの肯定側出力端子出力は"1"となり、否定側出力端子出力は"1"となる。そのため、これによってデータが確定したことを示すA系統の応答信号 \overline{ACKA} は"1"と

- 16 -

り、D入力端子に常に"1"が与えられているD型フリップフロップ5aはこれをラッチし、ナンド回路2aに対し、A系統のバス要求を阻止するように働き、もし、B系統からのバス要求がなければ、このときはA系統からのバス要求もなくなっているため、D型フリップフロップ5aのクリア端子入力は"1"であり、D型フリップフロップ5aのD入力端子入力をラッチせず、A系統からのバス要求の阻止のためのゲート出力を発生しない。

ここで、D型フリップフロップ5aがラッチをしたときの解除、つまり、A系統のバス要求信号の阻止の解除は、A, B系統共にバス要求がなくなった時、またはB系統にバス許可が与えられ、バス許可信号 \overline{GRNTB} が"1"になった時、その信号がオア回路11bを介してD型フリップフロップ5aのクリア端子に与えられて、これをクリアした時である。

以上はA系統を中心に説明したが、このような動作はB系統を中心にした場合でもB系統の該当要素が同様に作用するので同様に機能する。

- 18 -

従って、バス使用許可を得た系統では全ての系統からのバス要求がなくなるか、若しくは相手の系統にバス使用許可が与えられるまでバスの使用許可が与えられず、従って、同時にバス要求があった場合でも調停に不安定な時間が発生することがなく、また、連続して同じ系統のバス要求にのみ許可を与えてしまうことがなくなる。

このように本発明による共通バス調停回路は、システムクロックに同期してバス要求をラッチするフリップフロップを使用し、このフリップフロップは2系統のバス要求入力それぞれに対するラッチは一方が他方より遅れる構成とし、また、バス許可を与えると他方へのバス許可を阻止し、且つ、バス許可を与えると両系統のバス要求がなくなるとき、または、他方の系統のバス使用許可が与えられるまではバス使用許可が与えられた系統のバス要求を阻止する阻止手段を設けて構成したものである。

そのため、複数のバスマスタから同時にバス要求があった場合でも調停に不安定な時間が発生

- 19 -

回路、3…システムクロックCLKの信号線、4a、4b、5a、5b、8a、8b…D型フリップフロップ、7…2入力正論理ナンド回路、8、12…2入力正論理ノア回路、9a、9b…反転回路、11a、11b…2入力負論理オア回路、15…反転回路、R/W A…A系統のリード/ライト信号、R/W B…B系統のリード/ライト信号、REQA…A系統のバス要求信号、REQB…B系統のバス要求信号。

出願人代理人 弁理士 鈴江武彦

- 21 -

することなく、また、連続して同じ系統のバス要求にのみ許可を与えてしまうことがなくなる。

なお、本発明は上記し且つ図面に示す実施例に限定することなく、その要旨を変更しない範囲内で適宜変形して実施し得るものである。

〔発明の効果〕

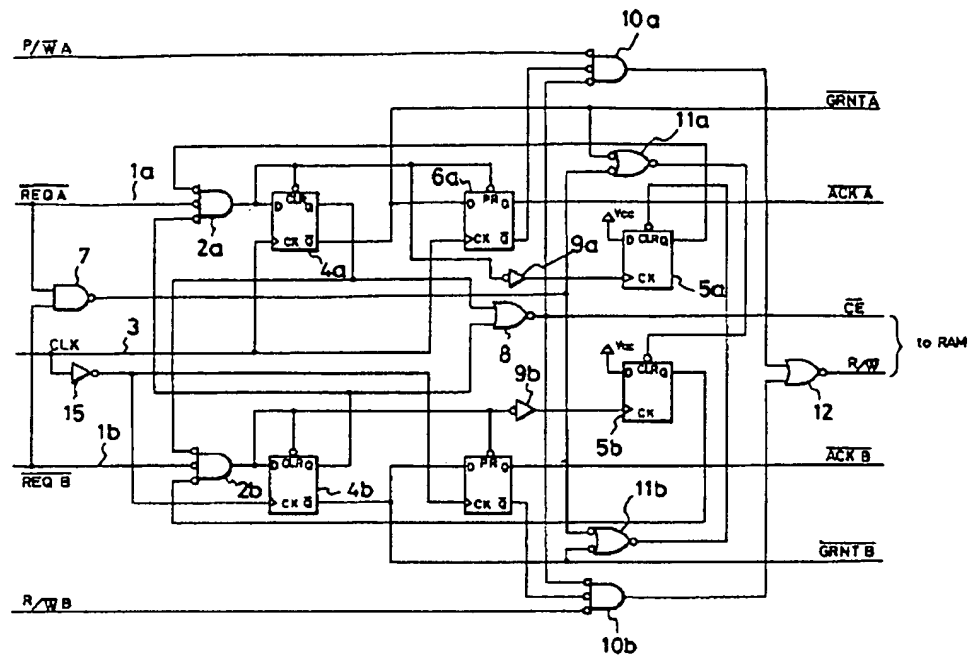
以上説明したように、本発明によれば、複数の系統からのバス要求信号が同時にあった場合でも調停に不安定な時間が発生することがなく、また、連続して同じ系統のバス要求にのみ許可を与えてしまうことのない共通バス調停回路を提供できる。

4. 図面の簡単な説明

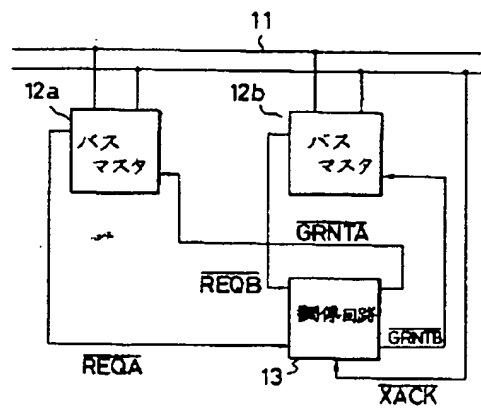
第1図は本発明の一実施例に係る調停回路の構成を示す回路図、第2図は従来の調停回路を使用したバス共用の計算機システムの構成を示すブロック図、第3図及び第4図は従来の調停回路の構成を示す回路図である。

1a、1b…A系統、B系統のバス要求信号入力線、2a、2b、10a、10b…3入力負論理ナンド

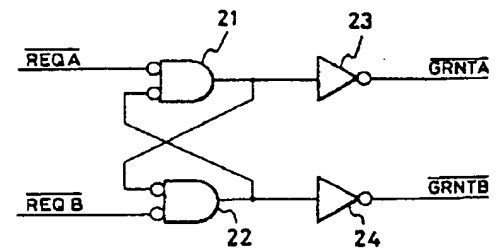
- 20 -



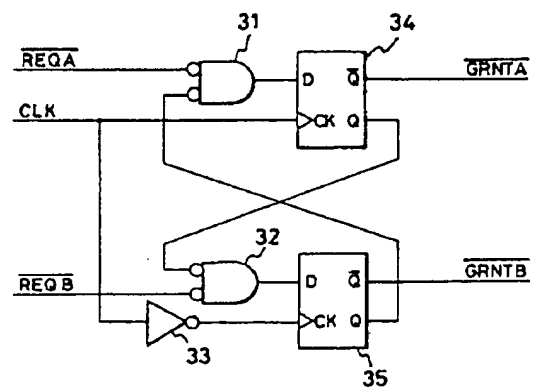
第 1 図



第 2 図



第 3 図



第 4 図

THIS PAGE BLANK (USPTO)